

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-149132

(43)Date of publication of application : 02.06.1998

(51)Int.Cl.

G09G 3/28

H04N 5/66

(21)Application number : 08-306537

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.11.1996

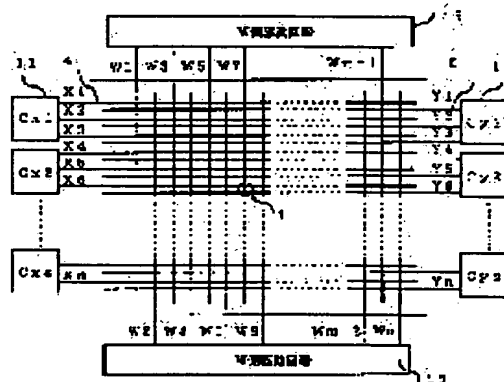
(72)Inventor : HASHIMOTO TAKASHI
IWATA AKIHIKO
INANAGA YASUTAKA

(54) DRIVING METHOD FOR PLASMA DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To improve time efficiency, to raise a resolution and to increase gradations by dividing a screen into plural blocks in a direction parallel to first and second row electrodes and independently driving the respective blocks.

SOLUTION: The first row electrodes X1-Xn are connected to X side driving circuits Cx1-Cxs respectively divided into the blocks, the second row electrodes Y1-Yn are connected to Y side driving circuits Cy1-Cys respectively divided into the blocks and column electrodes W1-Wm are similarly connected to W side driving circuits 13. In such a manner, by dividing the screen into the plural blocks in the direction parallel to the electrodes of the respective rows and independently driving the respective blocks, an optimum operation is performed at optimum time in the respective blocks. Also, since address is performed in the other block during the maintenance period of the block, appropriate maintenance discharge is started after address end for the respective blocks without waiting for the address end of all lines (all the blocks).



LEGAL STATUS

[Date of request for examination]

06.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-149132

(43) 公開日 平成10年(1998) 6月2日

(51) Int. Cl.⁴

識別記号

F I

G 0 9 G 3/28

G 0 9 G 3/28

E

H 0 4 N 5/66

1 0 1

H 0 4 N 5/66

1 0 1 B

K

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願平8-306537

(22) 出願日 平成8年(1996)11月18日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 橋本 隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 岩田 明彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 稲永 康隆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

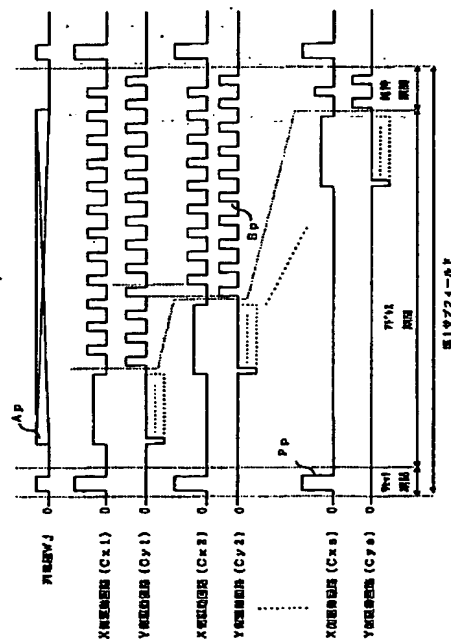
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 高解像度、多階調化に対応させるため、時間利用率を向上させる。

【解決手段】 画像表示のための1フィールドを複数のサブフィールドに分割し、各サブフィールドがアドレス期間と維持期間に分離されて駆動するプラズマディスプレイにおいて、画面を複数のブロックに分割し、各ブロックごとに独立に制御し、あるブロックが維持放電期間中でも他ブロックでアドレスを行うことができる構成とする。



【特許請求の範囲】

【請求項1】 誘電体で覆われた第1の電極及び第2の電極が互いに平行に電極対をなして複数配列された第1基板と、蛍光体で覆われた第3の電極の配設された第2基板とが、前記第1の電極及び第2の電極と第3の電極とが互いに直交してセルを形成するように、対向配置されたプラズマディスプレイにおいて、画像表示のための1フィールドを複数のサブフィールドに分割し、上記各サブフィールドは上記第1及び第2の電極の誘電体上に蓄積した壁電荷を消去するリセット期間と、上記第1あるいは第2の電極と上記第3の電極との間に放電を起こして、上記第1及び第2の電極の誘電体上に壁電荷を蓄積するアドレス期間と、上記第1及び第2の電極間に交流電圧を印加し、上記誘電体上に蓄積した壁電荷を利用して維持放電を行う維持放電期間とで構成されたプラズマディスプレイパネルの駆動方法において、上記第1及び第2の電極と平行な方向に画面を複数のブロックに分割し、各ブロックごとに上記駆動を独立に行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 上記ブロックごとの駆動において、ブロックの維持放電期間中に他ブロックがアドレスを行うことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 上記分割ブロック数が上記サブフィールド数と等しいことを特徴とする請求項1または請求項2項記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 上記ブロックごとの駆動において、各ブロックにおける維持期間の印加電圧の位相をそろえることを特徴とする請求項1～請求項3のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 上記ブロックごとの駆動において、各ブロックにおける維持期間の印加電圧の位相をずらすことを特徴とする請求項1～請求項3のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 上記ブロックごとの駆動において、維持期間中に印加する交流電圧の周波数をブロックごとに異なるようにすることを特徴とする請求項1～請求項3のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 上記ブロックごとの駆動において、上記リセット期間は全ブロック同時におこなうことを特徴とする請求項1～請求項6のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 上記ブロックごとの駆動において、1つのサブフィールドを駆動するブロックの時間内に2つ以上のサブフィールドを駆動するブロックを持つことを特徴とする請求項1～請求項6のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項9】 上記ブロックごとの駆動において、上記アドレス期間の印加電圧の立ち上がり立ち下りは維

持期間中の他ブロックの印加電圧の立ち上がり立ち下がりに同期しないことを特徴とする請求項1～請求項8のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 上記ブロックごとの駆動において、上記維持期間中の交流電圧の休止期間中に他ブロックのアドレス電圧を印加することを特徴とする請求項9記載のプラズマディスプレイパネルの駆動方法。

【請求項11】 誘電体で覆われた第1の電極及び第2の電極が互いに平行に電極対をなして複数配列された第1基板と、蛍光体で覆われた第3の電極の配設された第2基板とが、前記第1の電極及び第2の電極と第3の電極とが互いに直交してセルを形成するように、対向配置されたプラズマディスプレイにおいて、画像表示のための1フィールドを複数のサブフィールドに分割し、上記各サブフィールドは上記第1及び第2の電極の誘電体上に蓄積した壁電荷を消去するリセット期間と、上記第1あるいは第2の電極と上記第3の電極との間に放電を起こして、上記第1及び第2の電極の誘電体上に蓄積するアドレス期間と、上記第1及び第2の電極間に交流電圧を印加し、上記誘電体上に蓄積した壁電荷を利用して維持放電を行う維持放電期間とで構成されたプラズマディスプレイパネルの駆動方法において、上記第1及び第2の電極と平行な方向に画面を複数のブロックに分割し、各ブロックごとにサブフィールド内の各行電極の維持パルス数を異なるようにし、階調づけを行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、交流型プラズマディスプレイパネル（以下、AC-PDPという）、特に面放電型のAC-PDPの駆動方法に関する。

【0002】

【従来の技術】プラズマディスプレイパネル（以下、PDPという）は、周知のように2枚のガラス板の間に微少な放電セル（画素）を作りこんだ構造で、薄型のテレビジョンまたはディスプレイモニタとして種々研究されており、その中の1つにメモリ機能を有するAC-PDPが知られている。AC-PDPの1つとして面放電型のAC-PDPがある。図11は例えば特開平7-140922号公報や特開平7-287548号公報に示された従来の面放電型AC-PDPの構造を示す一部斜視図である。図において、100は面放電型PDP、102は表示面である前面ガラス基板、103は前面ガラス基板102と放電空間を挟んで対向配置された背面ガラス基板である。104及び105は前面ガラス基板上に互いに対となるように形成された第1の行電極X1～Xn及び第2の行電極Y1～Yn、106はこれら行電極上に被覆された誘電体層、107は誘電体層上に蒸着などの方法で形成されたMgO（酸化マグネシウム）であ

る。108は背面ガラス基板上行電極と直交するように形成された列電極W1～Wm、109は列電極上に形成された蛍光体層で、列電極毎にそれぞれ赤、緑、青に発光する蛍光体層が順序よくストライプ状に設けられている。110は各列電極間に形成された隔壁で、この隔壁は放電セルを分離する役割の他にPDPを大気圧により潰れないようにする支柱の役割もある。ガラス基板間の空間にはNe-Xe混合ガスやHe-Xe混合ガスなどの放電用ガスが大気圧以下で封入され、互いに対となる行電極と直交する列電極の交点の放電セルが画素となる。以下、第1の行電極をX電極、第2の行電極をY電極、列電極をW電極と呼ぶ場合もある。

【0003】次に動作について説明する。第1の行電極104と第2の行電極105との間に交互に電圧パルスを加し、半周期毎に極性の反転する放電を起こし、セルを発光させる。カラー表示では、各セルに形成された蛍光体層109が放電からの紫外線によって励起され発光する。表示用の放電を行う第1の行電極104と第2の行電極105が誘電体層106で被覆されているので、各セルの電極間で一度放電が起こると放電空間中で生成された電子やイオンは印加電圧の方向に移動し、誘電体層106の上に蓄積する。この誘電体層上に蓄積した電子やイオンなどの電荷を壁電荷と呼ぶ。この壁電荷が形成する電界が、印加電界を弱める方向に働くため、壁電荷の形成にともない、放電は急速に消滅する。放電が消滅した後、先の放電と極性の反転した電界が印加されると、次に壁電荷が形成する電界と印加電界が重畳するため、先の放電に比べ低い印加電圧で放電可能となる。それ以降はこの低い電圧を半周期毎に反転させることによって、放電を維持することができる。このような機能をメモリ機能と呼ぶ。このメモリ機能を利用して低い印加電圧で維持する放電を維持放電と呼び、半周期毎に第1の行電極及び第2の行電極に印加される電圧パルスを維持パルスと呼ぶ。この維持放電は壁電荷が消滅されるまで、維持パルスが印加される限り持続される。壁電荷を消滅させることを消去と呼び、一方、最初に壁電荷を誘電体上に形成することを書き込みと呼ぶ。

【0004】次にAC-PDPの階調表示方法について簡単に説明する。図12は例えば特開平7-160218号公報に示された従来のPDPの階調表示方法を示す1フィールド内の構成を示す図である。1フィールドとは画面に1枚の絵を出力するための時間で、NTSCの場合は約16.6msec(60Hz)である。図において表示ラインとはAC-PDPの第1及び第2の行電極からなる行方向のラインであり、図の横方向は時間の流れを示す。1フィールドはいくつかのサブフィールドに分割され、各サブフィールドは、リセット期間・アドレス期間・維持放電期間で構成される。例えば、256階調(2⁸階調)表示を行う場合、1フィールド内のサブフィールドは8個となり、各々のサブフィールドの維

持放電期間の時間を2ⁿ (n=0～7)の割合とする。

【0005】図13は例えば特開平7-160218号公報に示された第1の従来のPDPの駆動方法の1サブフィールド内の電圧波形図である。この従来例では第1の行電極Xは共通に接続されており、全ての第1の行電極Xについて同一の電圧が印加される。一方、第2の行電極Y及び列電極Wは各ライン毎に個別の電圧を印加することができる。図の電圧波形は上から順に列電極Wj、第1の行電極X、第2の行電極Y1、Y2、Ynの印加電圧波形である。

【0006】まず、リセット期間とは交流型プラズマディスプレイパネルの全セルを同じ状態にする期間で、リセット期間の初めの図13中aで全面面に共通に接続された第1の行電極Xに全面書き込みパルスPp(ブライミングパルス)が印加される。この全面書き込みパルスPpは第1の行電極Xと第2の行電極Y間の放電開始電圧以上に設定されているので、前のサブフィールドの発光・非発光に関係なく全セルが放電発光する。このとき列電極Wにも電圧パルスが印加されているが、これは第1の行電極Xと列電極Wの間で放電が起こらないように、X-W電極間の電位差を小さくするためのもので、X-Y電極間電圧のおよそ1/2の値に設定される。全面書き込みパルスPpが印加されるとX-Y電極間で強い放電が起こり、X-Y電極間に多量の壁電荷が蓄積し放電が終了する。次に図中bで全面書き込みパルスPpが立ち下がり、第1の行電極X及び第2の行電極Yの印加電圧がなくなると、X-Y電極間には先の全面書き込みパルスPpで蓄積した壁電荷による電界が残る。この電界は大きく、それ自体で再び放電を開始することができるので、再びX-Y電極間で放電が起こる。しかし、外部印加電圧は無いので、この放電で生じた電子やイオンは行電極X、Yに引きつけられることなく、中和されて消滅する。このように前のサブフィールドでの壁電荷の“有り”・“無し”に関係なく、全セルを書き込みそして消去することにより全面のセルの壁電荷を“無し”の状態にすることができ、リセットが行われる。この外部印加電圧が無くても蓄積した壁電荷だけで放電し、壁電荷の消去が行われる放電を自己消去放電という。

【0007】リセット期間が終わり図中cのときには第1の行電極及び第2の行電極には壁電荷は殆ど残っていない。一方、放電セル内には前の全面書き込みパルスPpによる放電で生じた荷電粒子が微量に残っている。この荷電粒子は次の書き込みでの放電を確実にするためのもので、書き込み放電の種火の役割をしている。従って、この場合、全面書き込みパルスPpはブライミング(種火)効果と消去の効果の2つの効果を兼ね備えている。

【0008】アドレス期間とは画面の任意のセルを行電極と列電極のマトリックス選択により、各セルの壁電荷の“有り”と“無し”を制御する期間で、上記の書き込

みもこのアドレス期間に行われる。このアドレス期間になると独立した第2の行電極Y1～Ynに順に負のスキヤンパルスScpが印加され、走査が行われる。一方、列電極Wには画像データ内容に応じて正のアドレスパルスApが印加される。この第2の行電極Yに印加されるスキヤンパルスScpと、列電極Wに印加されるアドレスパルスApによって、画面の任意のセルをマトリクス選択できる。スキヤンパルスScpとアドレスパルスApの合計電圧値は、セルのY-W電極間の放電開始電圧以上に設定されているので、スキヤンパルスScpとアドレスパルスApが同時に印加されたセルはY-W電極間で放電が起こる。またアドレス期間中、共通の第1の行電極Xは正の電圧値に保たれている。この電圧値はスキヤンパルスScpの電圧値と合計してもX-Y電極間で放電しないが、Y-W電極間で放電が起こったとき、この放電をトリガにして、同時にX-Y電極間でも放電が起こるような電圧値に設定されている。このY-W電極間の放電をトリガにして起こるX-Y電極間の放電は書き込み維持放電と呼ばれることがある。この書き込み維持放電によって第1及び第2の行電極上には壁電荷が蓄積される。

【0009】そして全画面の走査が終わった後、維持放電期間になる。この維持放電期間はアドレス期間後に壁電荷“有り”となったセルのみ維持放電を行う。この維持放電による発光が表示に利用され、1フィールド内に維持放電で発光する時間が長いほど明るく光る。このように、各セルについて発光時間を制御することにより階調表示を行うことができる。まず、全画面一斉に維持パルスSpが印加され、アドレス期間でアドレスされ壁電荷を蓄積したセルのみ維持放電を行う。そして、再び次のサブフィールドとなりリセット期間で全セルに全面書き込みパルスPpが印加されリセットが行われる。このように、各サブフィールド前に全セルを放電させ全セルに壁電荷を蓄積させた後、自己消去放電により全セルの壁電荷を“無し”にするリセットを行うので、常に同じ状態でアドレスを行うことができる。

【0010】上記のように、交流型プラズマディスプレイの画面全体でアドレス期間と維持放電期間を分離する駆動方法は「アドレス・表示（維持）分離法」と呼ばれる。

【0011】上記の全面書き込みによる種火効果は比較的に長時間持続されるので、必ずしも毎サブフィールドで行う必要はない。全面書き込みによる黒表示の輝度の上昇を押さえる方法として、1フィールドあたりの全面点灯の回数を減らす方法がある。図14及び図15は例えば特開平5-313598号公報、及び特開平7-49663号公報に示された従来のPDPの駆動方法を示す図である。この例では1フィールドに1回だけ全面書き込みを行っているが、1フィールドに数回、例えば全部で8サブフィールドの内4サブフィールドに全面書き込

みを設けてもよい。

【0012】図13は全面書き込みを設けたサブフィールド（第1サブフィールド）と全面書き込みを設けていないサブフィールド（第2サブフィールド）の電圧波形を示しており、全面書き込みを設けたサブフィールドも、設けていないサブフィールドも全面消去には同一の消去パルスEpが印加される。また、全面書き込みパルスPpの後には1回維持放電を行うパルスが印加されている。これは、全面書き込み放電と維持放電では放電の強度が異なるので、全面書き込みを行ったサブフィールドと、全面書き込みを行わないサブフィールドで、同じ消去パルスEpによる消去を行うために、放電により蓄積される壁電荷を同じにするためである。消去パルスには細幅消去パルス（維持パルスと同程度の電圧値でパルス幅が0.5μsec程度のパルス）と太幅消去パルス（維持パルスと同程度のパルス幅で電圧値が低いパルス）のいずれを使用してもよいようであるが、実際細幅消去パルスと太幅消去パルスの両方を印加することが多い。

【0013】

【発明が解決しようとする課題】上記従来例ではアドレス期間と維持期間が分離されているため全ラインアドレスされるまで維持放電は行われず。その分時間利用率が低く、走査ライン数、階調数が増加するなどフィールド中のアドレス総時間が長くなると表示（維持）のための時間がなくなってしまうという問題点があった。

【0014】本発明は上述のような問題点を解決するためになされたもので、表示のための維持期間を長く、すなわち時間利用率を向上させ、高解像、多階調に優れたPDPの駆動方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明に係るPDPの駆動方法は、誘電体で覆われた第1の電極及び第2の電極が互いに平行に電極対をなして複数配列された第1基板と、蛍光体で覆われた第3の電極の配設された第2基板とが、前記第1の電極及び第2の電極と第3の電極とが互いに直交してセルを形成するように、対向配置されたPDPの駆動方法において、画像表示のための1フィールドを複数のサブフィールドに分割し、上記各サブフィールドは上記第1及び第2の電極の誘電体上に蓄積した壁電荷を消去するリセット期間と、上記第1あるいは第2の電極と上記第3の電極との間に放電を起こして、上記第1及び第2の電極の誘電体上に壁電荷を蓄積するアドレス期間と、上記第1及び第2の電極間に交流電圧を印加し、上記誘電体上に蓄積した壁電荷を利用して維持放電を行う維持放電期間とで構成し、上記第1及び第2の電極と平行な方向に画面を複数のブロックに分割し、各ブロックごとに上記駆動を独立に行うように構成するものである。

【0016】また、ブロックの維持放電期間中に他プロ

ックでアドレスを行うように規定するものである。

【0017】また、分割するブロック数をサブフィールド数と等しくするように規定するものである。

【0018】また、各ブロックにおける維持期間の印加電圧の位相をそろえるように規定するものである。

【0019】また、各ブロックにおける維持期間の印加電圧の位相をずらすように規定するものである。

【0020】また、維持期間中に印加する交流電圧の周波数をブロックごとに異なるように規定するものである。

【0021】また、リセット期間は全ブロック同時にこなうよう規定するものである。

【0022】また、1つのサブフィールドを駆動するブロックの時間内に2つ以上のサブフィールドを駆動するブロックを持つように構成するものである。

【0023】また、アドレス期間の印加電圧の立ち上がりと立ち下がりとは維持期間中の他のブロックの印加電圧の立ち上がりとは同期しないように規定するものである。

【0024】また、アドレス期間の電圧印加は維持期間中の交流電圧の休止期間中に規定するものである。

【0025】また、誘電体で覆われた第1の電極及び第2の電極が互いに平行に電極対をなして複数配列された第1基板と、蛍光体で覆われた第3の電極の配設された第2基板とが、前記第1の電極及び第2の電極と第3の電極とが互いに直交してセルを形成するように、対向配置されたPDPにおいて、画像表示のための1フィールドを複数のサブフィールドに分割し、上記各サブフィールドは上記第1及び第2の電極の誘電体上に蓄積した壁電荷を消去するリセット期間と、上記第1あるいは第2の電極と上記第3の電極との間に放電を起こして、上記第1及び第2の電極の誘電体上に蓄積するアドレス期間と、上記第1及び第2の電極間に交流電圧を印加し、上記誘電体上に蓄積した壁電荷を利用して維持放電を行う維持放電期間とで構成されたプラズマディスプレイパネルの駆動方法において、上記第1及び第2の電極と平行な方向に画面を複数のブロックに分割し、各ブロックごとにサブフィールド内の各行電極の維持パルス数を異なるようにし、階調づけを行うものである。

【0026】

【発明の実施の形態】以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

実施の形態1. 図1は本発明の実施の形態1であるPDPの駆動方法が適用される面放電型AC-PDPのセルの一部断面図である。図のように、面放電型AC-PDPのセル1は以下のように構成される。表示面である前面ガラス基板2と放電空間を挟んで背面ガラス基板3とが対向配置され、前記前面ガラス基板2上に第1の行電極4(Xi)及び第2の行電極5(Yi)が配置される。これら行電極4、5上には誘電体層6、さらにその

上にはMgO7が形成される。背面ガラス基板3上に行電極4、5(Xi, Yi)と直交するように列電極8(Wj)が設けられ、その上に蛍光体層9が形成される。前面ガラス基板2と背面ガラス基板3の間の放電空間にはNe-Xe混合ガスあるいはHe-Xe混合ガスなどの放電用ガスが封入される。

【0027】図2は本発明の実施の形態1であるPDPの駆動方法が適用される面放電型AC-PDPの構成及び周辺回路を含む図である。第1の行電極X1~Xnはそれぞれブロックに分割されたX側駆動回路Cx1~Cxsに接続され、第2の行電極Y1~Ynはそれぞれブロックに分割されたY側駆動回路Cy1~Cysに接続される。列電極W1~WmはW側駆動回路に同様に接続される。図3は本発明の実施の形態1であるPDPの駆動方法を示す電圧波形(タイミングチャート)図であり、図において、電圧波形は上から順に、列電極Wj、X側駆動回路Cxsを通して第1の行電極Xiに、Y側駆動回路Cysを通して第2の行電極Yiに印加される電圧波形である。Ppは全面書き込み及び全面消去を行なうブライミングパルス、Spは維持放電を行なう維持パルス、Scpは走査用のスキャンパルス、Apは表示データ内容に応じて印加されるアドレスパルスである。

【0028】また、図4は上記m=6のとき、すなわち表示画面を行電極に平行な方向に6ブロックに分割したときの1フィールド内のサブフィールドの構成を示す図である。図では階調数は64階調表示の様子が示されている。横軸は時間、縦軸は行ライン数を示している。従来行われてきた駆動方法では、1フィールドを複数のサブフィールドに分割し、各サブフィールドは維持期間が重みづけされたビットで構成される。この場合、サブフィールド=ビットといえる。しかし、ここでは分割された6つのサブフィールドは全て等しい時間であり、サブフィールド内では各ブロックごとにそれぞれ維持期間の時間の異なるビットを独立に表示している。アドレスは最初1ブロック目から始まり、次のサブフィールドでは2ブロック目から、その次は3ブロック目からと順次移行していく。

【0029】次に動作を説明する。サブフィールドの最初にはブライミングパルスPpが印加され、前のサブフィールドの点灯、非点灯に関わらず第1の行電極Xiと第2の行電極Yi間で放電が起こる。この時、両行電極間には多量の壁電荷が蓄積し放電が停止する。また、列電極Wjにも電圧パルスが印加されるが、これは第1の行電極と列電極との間の放電を防ぎ、セルの発光を小さく押さえるように作用する。しかし、この電圧パルスは無くてもよい。その後ブライミングパルスPpが立ち下がると両行電極間で蓄積した壁電荷だけで自己消去放電が起き、壁電荷が消滅される。

【0030】その後、1ブロック目からアドレスが開始される。アドレスはスキャンパルスScp及びアドレス

パルスA_pが第2の行電極Y_iと列電極W_jに印加され、マトリクス状に配置されたセルのうち選択されたセルは第2の行電極Y_iと列電極W_jの間で放電が起きると同時に、第1の行電極X_iと第2の行電極Y_iの間で書き込み維持放電もおこり、第1及び第2行電極上に壁電荷を形成する。

【0031】1ブロック目のアドレスが終了すると同時に2ブロック目のアドレスが開始される。また、1ブロック目は維持放電期間に移行され、維持パルスS_pが印加される。このとき、アドレスで壁電荷を形成したセルは維持放電を行い、壁電荷を形成していないセルは維持放電を行わない。またこのとき、2ブロック目以降でアドレスしているためこの時の列電極W_jにはアドレスパルスA_pが印加された状況となっている。しかし、A_pは維持放電に関与することなく問題はない。また、サブフィールド内で最初にアドレスされたブロック（ここでは1ブロック目）を最も維持放電期間の長いビット（MSB）とし、最後にアドレスされたブロック（ここでは6ブロック目）を最も維持期間の短いビット（LSB）とし、その中間をそれに応じた維持放電期間と定めれば最も時間利用率が高くなる。

【0032】各ビットの維持期間が終わり、次のサブフィールドになると全セル一斉にリセット期間となりプライミングパルスP_pが印加され壁電荷が消去される。アドレス期間になると次にMSBとなるサブフィールドからアドレスが開始され、以下、1サブフィールド目と同様に繰り返される。

【0033】図10のような従来の駆動において、表示ライン768本、アドレスパルス幅3μsec、6ビット64階調表示を考えたとき、リセット期間を考慮しなければ維持期間は1F（16.6msec）中16.6-3×768×6/1000=2.776msecとなる。しかし、以上のような動作を行なうと、アドレス期間による全ラインの書き込み終了を待つことなく各々のブロック単位で維持期間に移行することができるため、1F中の維持期間は(16.6/6-3×(768/6)/1000)×2=4.765msecとなる。従って、維持期間を長く設定することができ時間利用率が約1.72倍高く、高解像度、多階調化に対応しうるPDPを提供することができる。

【0034】また、本実施の形態では各ブロックにおける維持パルスS_pの位相は揃えられている。これにより、特にブロックにおける境界において誤放電を発生させることなく安定した駆動を行なうことができる。しかし、必ずしも揃えなければならないというわけではない。

【0035】さらに、本実施の形態では各ブロックにおけるプライミングパルスP_pの位相は揃えられている。これにより、特にブロックにおける境界において誤放電を発生させることなく安定した駆動を行うことができる

ばかりでなく、各ブロックで発生する空間電荷が隣接ブロックに影響を与えるため、よりよく消去でき、プライミング効果を高めることができる。しかし、必ずしも位相をそろえる必要もない。また、ブロックごとに行なってもよい。

【0036】なお、本実施の形態では1フィールド内を6サブフィールドとし、分割ブロック数を6としているが、分割ブロック数は多ければ多いほど時間利用率が高く有効であることはいうまでもない。また、本実施の形態ではMSB以降アドレス期間終了後から維持期間までの時間がLSBに近づくほど長く、維持期間終了の時間を全てブロックでそろえているが、必ずしもこのようにする必要はなく、アドレスされてからすぐ維持放電を開始し、維持期間終了後から次のリセット期間までの時間を長くとってもよい。

【0037】実施の形態2

以下、本発明の別の実施の形態を図について説明する。図5は本発明の実施の形態2であるPDPの駆動方法を示す電圧波形図である。本発明では実施の形態1において、ブロックごとの駆動のうち維持期間にかかる印加電圧の位相をずらして構成している。この維持期間以外における動作は上記実施の形態1に等しい。

【0038】これにより電圧パルスが印加された瞬間に発生する電流をブロックごとに分散させることができ、PDPの電源部分に瞬時にかかる負担を軽減させることができる。

【0039】実施の形態3。以下、本発明の別の実施の形態を図について説明する。本発明の実施の形態3では、上記実施の形態1において、特に維持パルスS_pの周波数がブロックごとに異なる場合について説明する。図6は本発明の実施の形態3による1フィールド内のサブフィールドの構成を示す図であり、PDPの駆動方法のうち表示画面を6ブロックに分割したときを示している。図では64階調表示の構成が示されている。また、横軸は時間、縦軸は行ライン数を示している。MSB（最も維持期間の長いビット）を表示するブロックでは維持期間の周波数が最も高く、MSB（最も維持期間の短いビット）を表示するブロックでは、維持期間の周波数が低く設定されている。

【0040】維持期間において周波数が等しい場合はビットごとに時間がバイナリに重みづけされているためサブフィールドによっては無駄な時間（発光に関与しない空白の時間）が発生してしまう。しかし、輝度はおよそ発光回数により決まるため各ビットに割り当てられた維持期間の時間が全て同じでも維持放電回数を異ならせる（周波数をビットごとに変える）ことで階調表示を実現することができる。これにより、無駄な時間を軽減させることができ、時間利用率が高く、高解像度、多階調化に対応しうるプラズマディスプレイを提供することができる。

【0041】実施の形態4. 以下、本発明の別の実施の形態を図について説明する。図7は本発明の実施の形態4による1フィールド内のサブフィールドの構成を示す図であり、PDPの駆動方法のうち表示画面を5ブロックに分割したときを示している。図では256階調表示の構成をしめしており、1フィールドを16.6msecとすると1サブフィールドは3.32msecとなる。ここでは、全走査ラインを500ライン、各ブロックの走査ラインを100ラインとし、アドレスに必要な時間を1ライン4 μ secとしている。また、LSB（最も維持期間が短いビット）の維持期間を20 μ secとし、その後バイナリの重みづけを行いMSB（最も維持期間が長いビット）の維持期間では2.56msecの維持期間を、さらにリセット期間は40 μ secとしている。

【0042】実施の形態4においては、1サブフィールドにおいてリセットを行うブライミングパルスPpを全ライン同時に印加した後、1ブロック目から順次アドレスしていく。1ブロック目のアドレスが終了した時点でMSB（2.56msecの時間）の維持放電が行われる。2ブロック目も同様にアドレス終了後維持放電を行うがここでは0.64msec、3ブロック目では0.32msec、4ブロック目では0.16msec、5ブロック目では1.28msecの時間維持放電が開始される。一方、5ブロック目までアドレスが終了する時間、すなわちリセット時間：0.04msec+アドレス期間：2msecの2.04msec後には2ブロック、3ブロック、4ブロックはすでに維持期間を終え、次のリセット期間も終了しているため再びアドレスを行うことができる。従って、さらに2ブロック目のアドレス、その終了後0.08msecの維持放電、3ブロック目のアドレス及び0.04msecの維持放電、4ブロック目のアドレス及び0.02msecの維持放電を行う。ここまでの終了に要する時間は、ほぼ1ブロック目の維持期間終了時間と5ブロック目の維持期間終了時間に等しい。

【0043】1サブフィールド終了後、再び2サブフィールドが開始され、全ライン同時にリセットを行う。このあと、アドレスを開始するブロックを2ブロック目からとし、1サブフィールドと同様に駆動していく。1フィールドはこれら5サブフィールドの繰り返しで構成される。

【0044】この駆動を行うことにより維持期間を長く設定することができ、時間利用率が高く、高解像度、多階調化に対応しうるプラズマディスプレイを提供することができる。

【0045】実施の形態5. 以下、本発明の別の実施の形態を図について説明する。図8は本発明の実施の形態5であるPDPの駆動方法を示す電圧波形である。図において、1ブロック目は維持期間中であり、2ブロック

目はアドレス期間中である。アドレスパルスApと維持パルスSpは、パルスの立ち上がりあるいは立ち下がりそれぞれ同期しないような関係となっている。

【0046】通常の動作範囲では、アドレスパルスApの電圧は維持パルスSpの電圧に影響を与えないが、アドレスパルスApの電圧を高くすると、その立ち上がりあるいは立ち下がりが維持パルスSpの電圧の立ち上がりあるいは立ち下がりとなつた場合、維持放電の輝度が高くなってしまうことがある。その結果、階調表示ができないという問題が生じるが、本発明の実施の形態のようにアドレスパルスApと維持パルスSpのパルス立ち上がりあるいは立ち下がりがそれぞれ同期しないようにすることにより、より確実な動作が可能となり、またマージン自体を広げることになる。

【0047】もちろん、維持パルスSpの休止期間中にアドレスパルスApを印加することにより上記効果が確実になることはいうまでもない。

【0048】実施の形態6. 以下、本発明の別の実施の形態を図について説明する。図9は本発明の実施の形態6であるPDPの駆動方法が適用される面放電型AC-PDPの構成及び周辺回路も含む図である。第1の行電極X1～Xnはそれぞれブロックに分割された駆動回路Cx1～Cxsに接続されているが、Cx1に接続される行電極はX1、Xs+1、X2s+1・・・であり、Cx2に接続される行電極はX2、Xs+2、X2s+2・・・となっている。また、第2の行電極Y2～Ynも同様にCy1～Cysに接続される。

【0049】また、図10は本発明の実施の形態6による1フィールド内のサブフィールドの構成を示す図であり、PDPの駆動において、表示画面を行電極に平行な方向に分割したときを示している。図では64階調表示の様子が示されており、各サブフィールドにおいて、Cx1～Cx6、Cy1～Cy6はそれぞれ異なる階調を表示しており、それぞれ順に電極に接続されている。従って、例えば、480ラインを想定すると、80ブロックに分割することができ、各ブロックにおける各行電極はそれぞれCx1～Cx6、Cy1～Cy6に接続できる。このとき、各ブロックにおける各行電極においてもサブフィールド内で異なる階調を表示した状態となっている。

【0050】上記駆動を行うことにより、表示状態により発生する近接する階調間での輝度の時間重心を空間的に分散させることができるため、動画疑似輪郭を低減させることができる。

【0051】また、維持期間を空間的に分散させることができるため、表示率により発生する電圧降下を低減でき、従って静止画疑似輪郭も低減させることができる。

【0052】

【発明の効果】本発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0053】誘電体で覆われた第1の電極及び第2の電

極が互いに平行に電極対をなして複数配列された第1基板と、蛍光体で覆われた第3の電極の配設された第2基板とが、前記第1の電極及び第2の電極と第3の電極とが互いに直交してセルを形成するように、対向配置されたプラズマディスプレイにおいて、画像表示のための1フィールドを複数のサブフィールドに分割し、上記各サブフィールドは上記第1及び第2の電極の誘電体上に蓄積した壁電荷を消去するリセット期間と、上記第1あるいは第2の電極と上記第3の電極との間に放電を起こして、上記第1及び第2の電極の誘電体上に壁電荷を蓄積するアドレス期間と、上記第1及び第2の電極間に交流電圧を印加し、上記誘電体上に蓄積した壁電荷を利用して維持放電を行う維持放電期間とで構成されたプラズマディスプレイパネルの駆動方法において、上記第1及び第2の電極と平行な方向に画面を複数のブロックに分割し、各ブロック毎に上記駆動を独立に行うことにより、各ブロックにおいて最適な時間に最適な動作を行うことができ、時間利用率を向上させることができる。

【0054】また、ブロックの維持期間中に他のブロックにおいてアドレスを行うため、全ライン（全ブロック）のアドレス終了を待たずに各ブロックごとにアドレス終了後適宜維持放電を開始することができ、時間利用率を向上させることができる。

【0055】また、分割ブロック数をサブフィールド数と等しくすることにより、各ブロックにそれぞれ異なるサブフィールドを割り当てることができ、簡易的な構成で実現することができる。

【0056】また、各ブロックにおける維持期間の印加電圧の位相をそろえることにより、分割ブロックの境界で放電タイミングが異なることにより発生する可能性のある誤放電を抑えることができる。

【0057】また、各ブロックにおける維持期間の印加電圧の位相を異なるようにすることにより、電源側にかかる瞬時電流を分散させることができ、電源回路側の負担を軽減することができる。

【0058】また、ブロックごとに維持期間中の維持周波数を異なるようにすることにより、他ブロックの点灯時間に関係なく必要な維持時間を設定することができるので時間利用率を向上させることができる。

【0059】また、リセット期間を全ブロック同時に行うことにより、ブロックの境界で発生する可能性のある誤放電を防ぐことができる。また、リセット期間中の放電は隣接セルに対しても壁電荷の消去、及びアドレス期間中の種火効果を持つため、相乗効果となってよりよい表示マーヅィンを得ることができる。

【0060】また、1つのサブフィールドを駆動するブロックの時間内に2以上のサブフィールドを駆動するブロックを持つので時間利用率を向上させることができる。

【0061】また、ブロックごとの駆動におけるアドレ

ス期間の印加電圧の立ち上がり、あるいは立ち下がり維持期間中の他ブロック印加電圧の立ち上がり立ち下がり同期させないため、立ち上がり、あるいは立ち下がり発生する可能性のある誤放電を未然に防ぐことができ、より広い表示マーヅィンを得ることができる。

【0062】また、維持期間中の交流電圧の休止期間中に他ブロックのアドレス電圧を印加することにより、さらに広い表示マーヅィンを得ることができる。

【0063】また、近接階調間での輝度の時間重心を空間的に分散させることができるため、動画疑似輪郭を低減させることができる。また、維持期間を空間的に分散させることができるため、表示率により発生する電圧降下を低減でき静止画疑似輪郭も低減できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1であるPDPの駆動方法が適用される面放電型AC-PDPのセルの一部断面図である。

【図2】 本発明の実施の形態1であるPDPの駆動方法が適用される面放電型AC-PDPの構成及び周辺回路を含む図である。

【図3】 本発明の実施の形態1であるPDPの駆動方法を示す電圧波形図である。

【図4】 本発明の実施の形態1による1フィールド内のサブフィールドを示す図である。

【図5】 本発明の実施の形態2であるPDPの駆動方法を示す電圧波形図である。

【図6】 本発明の実施の形態3による1フィールド内のサブフィールドを示す図である。

【図7】 本発明の実施の形態4による1フィールド内のサブフィールドを示す図である。

【図8】 本発明の実施の形態5であるPDPの駆動方法を示す電圧波形図である。

【図9】 本発明の実施の形態6であるPDPの駆動方法が適用される面放電型AC-PDPの構成及び周辺回路を含む図である。

【図10】 本発明の実施の形態6による1フィールド内のサブフィールドを示す図である。

【図11】 従来の面放電型AC-PDPを示す一部斜視図である。

【図12】 従来のプラズマディスプレイの階調表示方法を示す1フィールド内のサブフィールドの構成を示す図である。

【図13】 第1の従来例であるAC-PDPの駆動方法の1サブフィールド内の電圧波形図である。

【図14】 第2の従来例であるAC-PDPの駆動方法における1フィールド内の構成を示す図である。

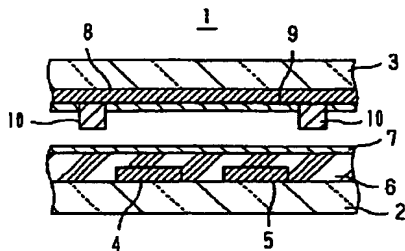
【図15】 第2の従来例であるAC-PDPの駆動方法を示す電圧波形図である。

【符号の説明】

1 PDPのセル、2 前面ガラス基板、3 背面ガラ

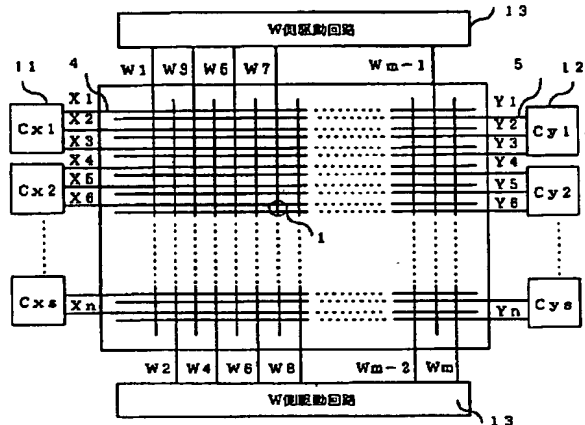
基板、4 第1の行電極 (X電極)、5 第2の行電極 (Y電極)、6 誘電体層、7 MgO (酸化マグネシウム)、8 列電極 (W電極)、9 蛍光体層、10 隔壁、11 X側駆動回路 (Cx)、12 Y側駆動回路

【図1】

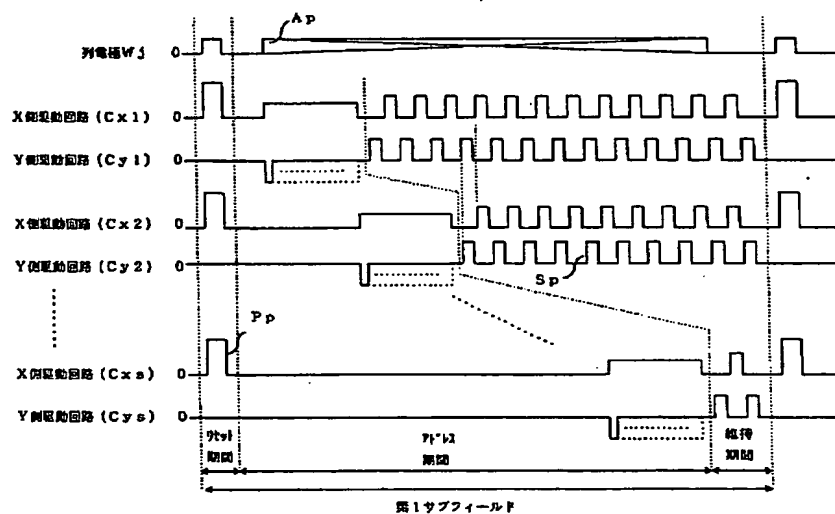


路 (Cy)、13 W側駆動回路、Pp プライミングパルス (全面書き込みパルス)、Ep 消去パルス、Ap アドレスパルス、Sp 維持パルス、Scp スキャンパルス、V1書き込み維持電圧。

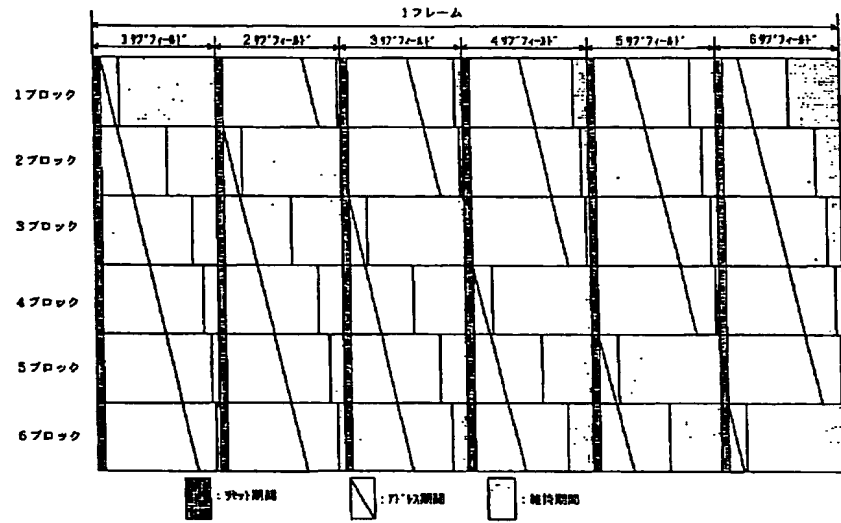
【図2】



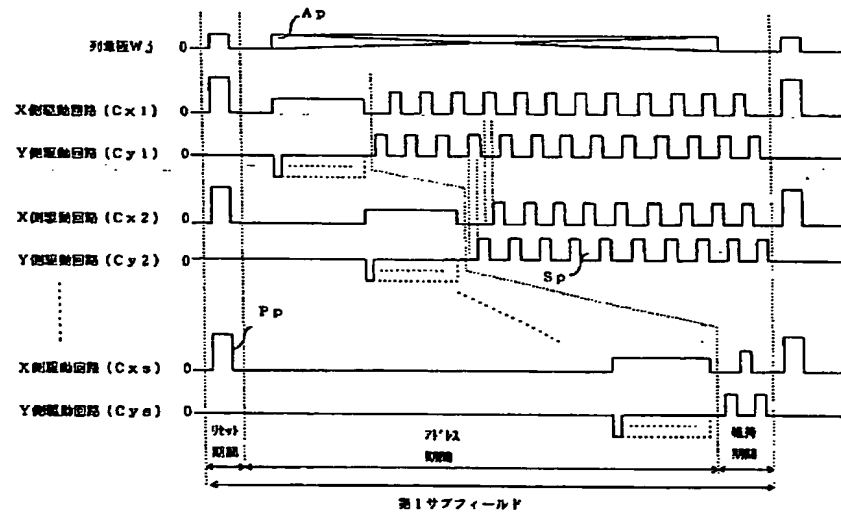
【図3】



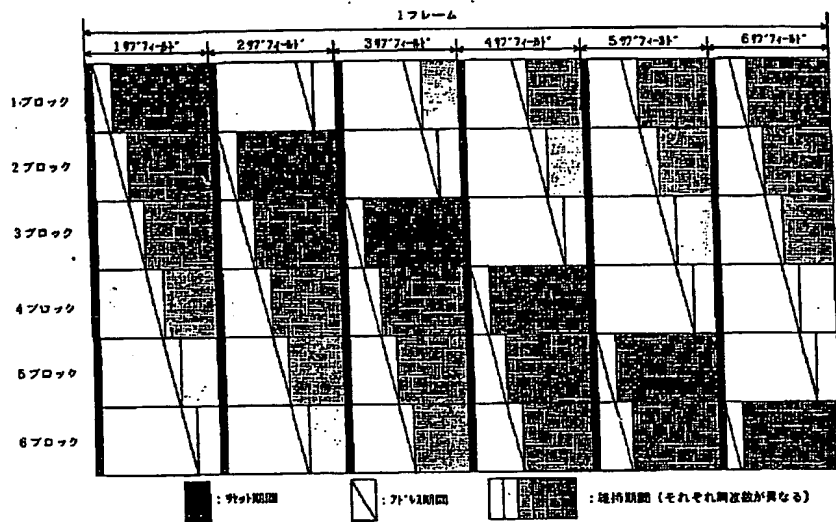
【図4】



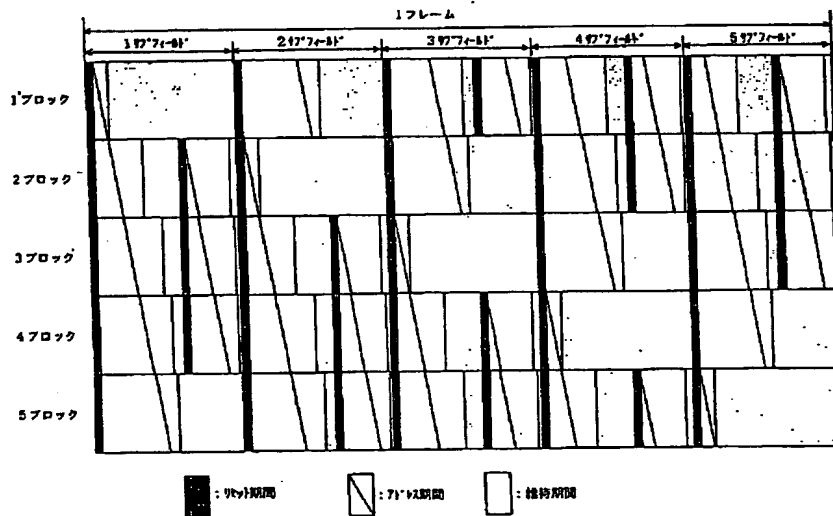
【図5】



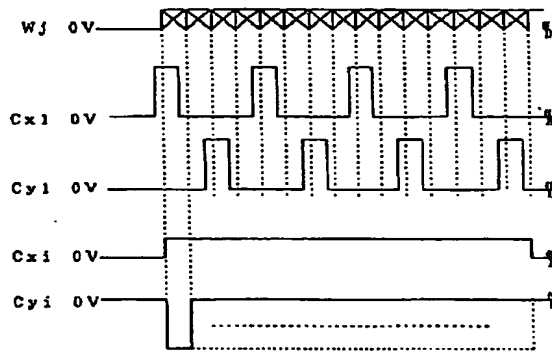
【図6】



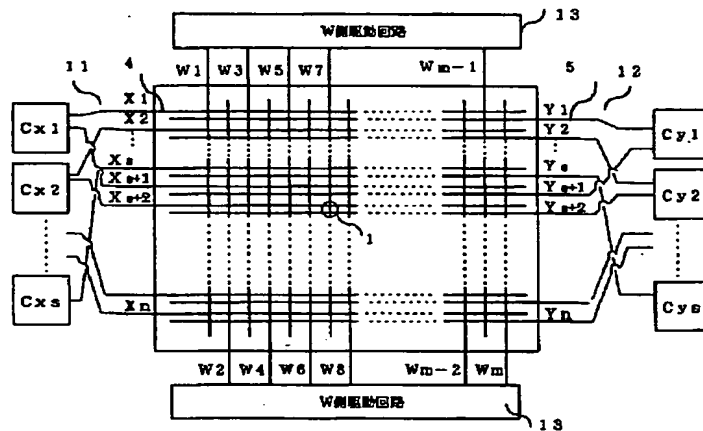
【図7】



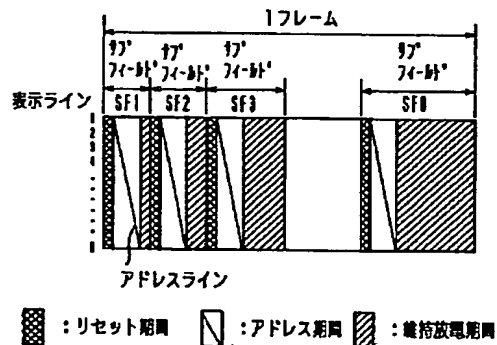
【図8】



【図9】

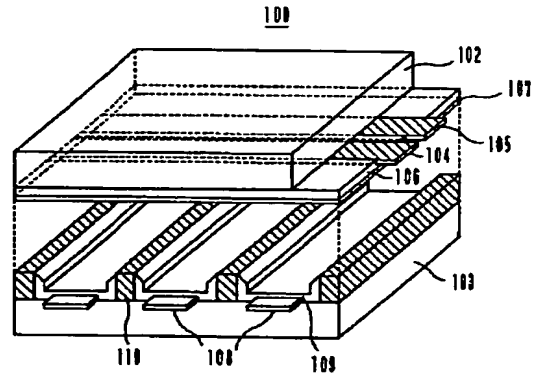


【図12】

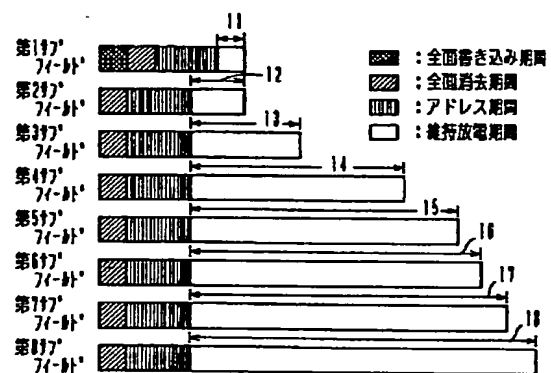


■ : リセット期間 □ : アドレス期間 ▨ : 維持放電期間

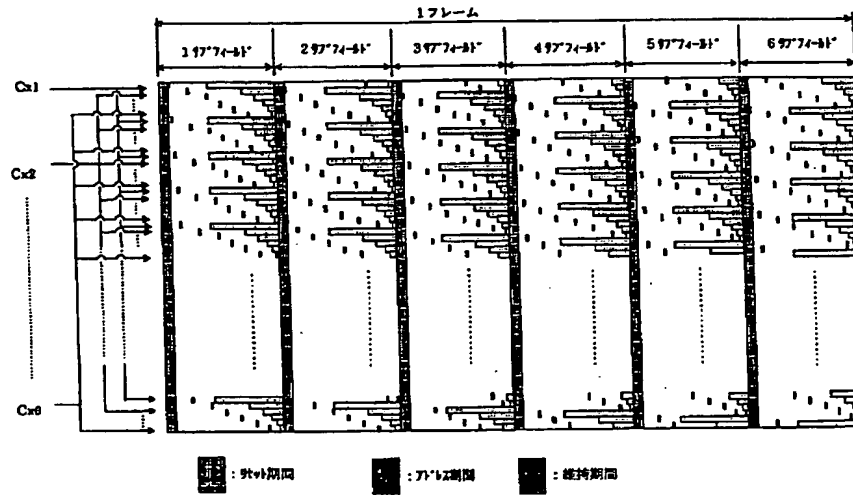
【図11】



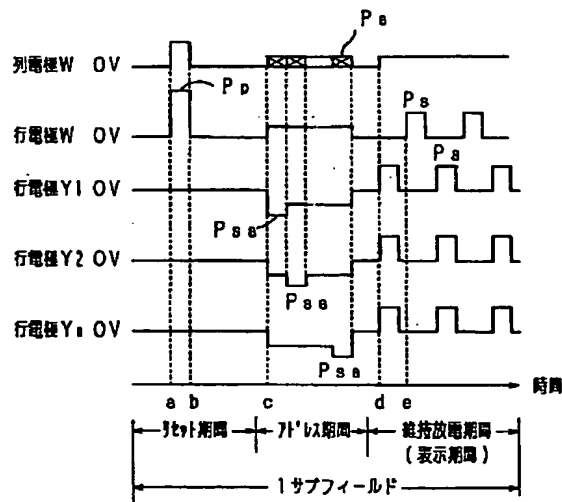
【図14】



【図10】



【図13】



【図15】

